

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-022985

(43)Date of publication of application : 24.01.2003

(51)Int.Cl.

H01L 21/285

C23C 16/14

C23C 16/34

H01L 21/768

(21)Application number : 2001-209127

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.07.2001

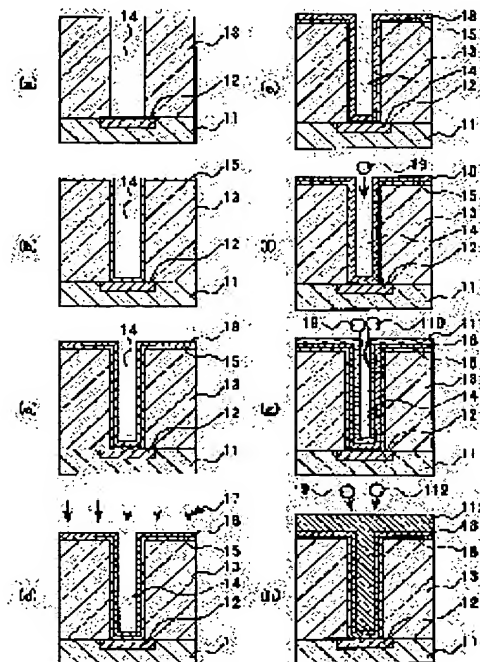
(72)Inventor : ABE HIROMITSU
KISHIDA TAKENOBU
HINOMURA TORU
HARADA TSUYOSHI

(54) METHOD AND DEVICE FOR PRODUCING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a production method for semiconductor device with which the embedding defect of W does not occur when forming a TiN film in the contact hole of a high aspect ratio by a CVD method using organometallic materials.

SOLUTION: A Ti film 15 for covering the inside of a contact hole 14 formed on an insulating film 13 on a Si wafer 11 is deposited and a TiN film 16 is deposited on the Ti film by the CVD method using organic titanium materials. After the quality of the TiN film is improved by exposing the surface of the TiN film under plasma, a W film 113 is deposited by a CVD method using WF₆ and SiH₄. The thickness of a titanium-nitride film to be deposited at once is made equal to or less than the value with which the moisture to be taken in when exposed to the atmosphere can be suppressed, and the desired thickness can be obtained by a plurality of process cycles. Otherwise, WF₆ is supplied before SiH₄ or flow ratio of WF₆/SiH₄ is made into 1.2 to 1.8 and the initialcore of W is formed tight.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-22985
(P2003-22985A)

(43) 公開日 平成15年1月24日 (2003.1.24)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/285	3 0 1	H 0 1 L 21/285	C 4 K 0 3 0
C 2 3 C 16/14		C 2 3 C 16/14	3 0 1 R 4 M 1 0 4
16/34		16/34	5 F 0 3 3
H 0 1 L 21/768		H 0 1 L 21/90	C
審査請求 未請求 請求項の数11 O L (全 14 頁)			

(21) 出願番号 特願2001-209127(P2001-209127)

(22) 出願日 平成13年7月10日 (2001.7.10)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 阿部 弘光

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岸田 剛信

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

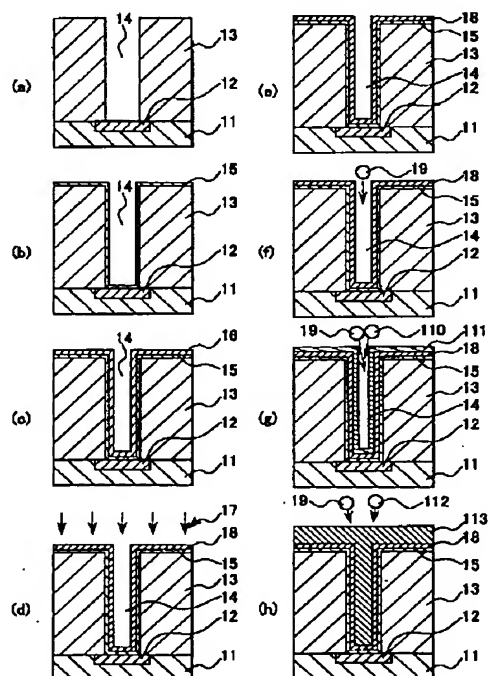
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法およびその製造装置

(57) 【要約】

【課題】 高アスペクト比のコンタクトホールに、有機金属材料を用いたCVD法によりTiN膜を形成する際に、Wの埋め込み不良が発生しない半導体装置の製造方法を提供する。

【解決手段】 Si基板11上の絶縁膜13に形成されたコンタクトホール14内を被覆するTi膜15を堆積し、有機チタン材料を用いたCVD法によりTi膜上にTiN膜16を堆積する。TiN膜の表面をプラズマに暴露してTiN膜の改質を行った後、WF₆とSiH₄を用いたCVD法によりW膜113を堆積する。1回に堆積する窒化チタン膜の膜厚を、後の大気開放により取り込まれる水分を抑制できる厚さ以下とし、複数の工程サイクルにより所望の膜厚を得る。または、WF₆をSiH₄よりも先に供給し、あるいはWF₆/SiH₄の流量比率を1.2~1.8として、Wの初期核を密に形成する。



【特許請求の範囲】

【請求項1】 シリコン基板上の所定領域に二珪化コバルト層を形成する工程(a)と、
前記シリコン基板上に絶縁膜を堆積する工程(b)と、
前記絶縁膜に前記二珪化コバルト層に達するコンタクトホールを形成する工程(c)と、
スパッタ法により前記コンタクトホール内を被覆するチタン膜を堆積する工程(d)と、
化学的気相成長法により有機チタン材料を用いて前記チタン膜上にC(炭素)を含んだ窒化チタン膜を堆積する工程(e)と、
前記窒化チタン膜の表面を水素および窒素のプラズマに暴露して、前記窒化チタン膜から少なくとも前記C(炭素)を除去する工程(f)と、
工程(f)の後に、化学的気相成長法により六弗化タングステンとモノシランを用いて前記窒化チタン膜上にタングステン膜を堆積する工程(g)とを備え、
工程(e)で1回に堆積する前記窒化チタン膜の膜厚を、その後大気に曝されることにより膜中に取り込まれる水分を抑制できる厚さ以下に設定し、
工程(e)から工程(f)の工程サイクルを複数回行って、所望とする膜厚の前記窒化チタン膜を形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記コンタクトホールの下部側壁における前記窒化チタン膜の膜厚を、約3~4nmの範囲とすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 シリコン基板の表面に堆積する前記窒化チタン膜の膜厚を、1サイクル当たり5nm以下とし、2サイクルの合計で5~7nmの範囲とすることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 シリコン基板上の所定領域に二珪化コバルト層を形成する工程(a)と、
前記シリコン基板上に絶縁膜を堆積する工程(b)と、
前記絶縁膜に前記二珪化コバルト層に達するコンタクトホールを形成する工程(c)と、
スパッタ法により前記コンタクトホール内を被覆するチタン膜を堆積する工程(d)と、
化学的気相成長法により有機チタン材料を用いて前記チタン膜上に少なくともC(炭素)を含んだ窒化チタン膜を堆積する工程(e)と、
前記窒化チタン膜の表面を水素および窒素のプラズマに暴露して、前記窒化チタン膜から少なくとも前記C(炭素)を除去する工程(f)と、
工程(f)の後に、化学的気相成長法により六弗化タングステンとモノシランを用いて前記窒化チタン膜上にタングステン膜を堆積する工程(g)とを備え、
工程(g)では、前記六弗化タングステンを前記モノシランよりも先に前記シリコン基板の表面に供給して、前記窒化チタン膜上にタングステンの初期核を密に形成し

た後に、前記モノシランも前記シリコン基板の表面に供給して、さらに前記窒化チタン膜上に前記タングステン膜を堆積することを特徴とする半導体装置の製造方法。

【請求項5】 シリコン基板上の所定領域に二珪化コバルト層を形成する工程(a)と、
前記シリコン基板上に絶縁膜を堆積する工程(b)と、
前記絶縁膜に前記二珪化コバルト層に達するコンタクトホールを形成する工程(c)と、
スパッタ法により前記コンタクトホール内を被覆するチタン膜を堆積する工程(d)と、
化学的気相成長法により有機チタン材料を用いて前記チタン膜上に少なくともC(炭素)を含んだ窒化チタン膜を堆積する工程(e)と、
前記窒化チタン膜の表面を水素および窒素のプラズマに暴露して、前記窒化チタン膜から少なくとも前記C(炭素)を除去する工程(f)と、
工程(f)の後に、化学的気相成長法により六弗化タングステンとモノシランを用いて前記窒化チタン膜上にタングステン膜を堆積する工程(g)とを備え、
工程(g)では、前記シリコン基板の表面に供給される、前記モノシランに対する前記六弗化タングステンの流量比率を1.2~1.8に設定して、前記窒化チタン膜上にタングステンの初期核を密に形成した後に、さらに前記窒化チタン膜上に前記タングステン膜を堆積することを特徴とする半導体装置の製造方法。

【請求項6】 工程(e)および工程(f)を同一のチャンバ内で連続して行い、工程(d)、工程(e)、工程(f)および工程(g)を真空中で連続して行うことを特徴とする請求項1~5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】 シリコン基板上の所定領域に二珪化コバルト層を形成する工程(a)と、
前記シリコン基板上に絶縁膜を堆積する工程(b)と、
前記絶縁膜に前記二珪化コバルト層に達するコンタクトホールを形成する工程(c)と、
スパッタ法により前記コンタクトホール内を被覆するチタン膜を堆積する工程(d)と、
化学的気相成長法により有機チタン材料を用いて前記チタン膜上に少なくともC(炭素)を含んだ窒化チタン膜を堆積する工程(e)と、
化学的気相成長法により六弗化タングステンとモノシランを用いて前記窒化チタン膜上にタングステン膜を堆積する工程(f)とを備え、
工程(f)では、前記六弗化タングステんと前記モノシランを前記シリコン基板の表面に供給する前に、前記タングステン膜を堆積するチャンバ内で前記シリコン基板を真空中で加熱して、前記窒化チタン膜に含まれる少なくとも前記水分を外部に放出することを特徴とする半導体装置の製造方法。

【請求項8】 工程(d)、工程(e)および工程

(f) を真空中で連続して行うことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記有機チタン材料はテトラキスジメチルアミノチタンであることを特徴とする請求項 1～8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】 スパッタ法によりチタン膜を堆積する第 1 の成膜室と、

化学的気相成長法により少なくとも C (炭素) を含んだ窒化チタン膜を堆積し、且つ前記窒化チタン膜に含まれる少なくとも前記水分を除去する第 2 の成膜室と、

前記窒化チタン膜を形成した半導体基板を真空中で熱処理する熱処理室と、

化学的気相成長法によりタングステン膜を堆積する第 3 の成膜室と、

前記第 1 の成膜室、前記第 2 の成膜室、前記熱処理室および前記第 3 の成膜室の間を接続する真空搬送室とを備えたことを特徴とする半導体装置の製造装置。

【請求項 11】 請求項 9 に記載の半導体装置の製造装置において、

前記第 1 の成膜室は、第 1 の真空チャンバと、前記第 1 の真空チャンバ内に設けたチタターゲットと、前記第 1 の真空チャンバ内に設けた基板ホルダーと、前記第 1 の真空チャンバに設けた第 1 の排気口と、前記第 1 の真空チャンバに設けたアルゴン用の第 1 のガス導入口と、前記第 1 の真空チャンバ内に設けたプラズマ放電用の第 1 の電極と、前記第 1 の電極に接続する第 1 の高周波電源とを有し、

前記第 2 の成膜室は、第 2 の真空チャンバと、前記第 2 の真空チャンバ内に設けた第 1 のサセプタと、前記第 1 のサセプタ内に設けた第 1 の加熱機構と、前記第 1 の加熱機構に接続する第 1 の電源と、前記第 2 の真空チャンバに設けた第 2 の排気口と、前記第 2 の真空チャンバに付属するガス供給システムに設けた有機チタン材料、水素および窒素用の第 2 のガス導入口と、前記第 2 の真空チャンバ内に設けたプラズマ放電用の第 2 の電極と、前記第 2 の電極に接続する第 2 の高周波電源とを有し、前記第 3 の成膜室は、第 3 の真空チャンバと、前記第 3 の真空チャンバ内に設けた第 2 のサセプタと、前記第 2 のサセプタ内に設けた第 2 の加熱機構と、前記第 2 の加熱機構に接続する第 2 の電源と、前記第 3 の真空チャンバに設けた第 3 の排気口と、前記第 3 の真空チャンバに設けた六弗化タングステンおよびモノシラン用の第 3 のガス導入口とを有し、

前記熱処理室は、第 4 の真空チャンバと、前記第 4 の真空チャンバ内に設けた基板ホルダーと、前記第 4 の真空チャンバ内に設けた基板加熱用のランプと、前記ランプに接続する第 3 の電源と、前記第 4 の真空チャンバに設けた第 4 の排気口と、前記第 4 の真空チャンバに設けた窒素用の第 4 のガス導入口とを有し、

前記真空搬送室は、第 5 の真空チャンバと、前記第 5 の

真空チャンバ内に設けた基板ホルダーと、前記第 5 の真空チャンバに設けた第 5 の排気口と、前記第 5 の真空チャンバに設けた窒素用の第 5 のガス導入口と、前記第 5 の真空チャンバに接続するロードロック室とを有することを特徴とする半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法およびその製造装置に関し、特に、微細なコンタクトホールに W プラグを形成するための密着層の改善に関する。

【0002】

【従来の技術】 半導体装置の微細化に伴い、シリコン (Si) 基板へのコンタクト等にタングステン (W) プラグを形成し、バリアメタル且つ密着層として窒化チタン (TiN) 膜を形成する際には、ステップカバレッジの優れた化学的気相成長 (CVD) 法を用いることが一般的になっている。

【0003】 以下、従来例について図面を参照しながら説明する。図 9 は従来例における半導体装置の製造工程を示す断面図である。この製造方法は、有機金属材料を原料とした CVD 法 (以下、MO-CVD 法と記す) により TiN 膜を成膜した後、CVD 法によりタングステン (W) 膜を成膜してコンタクトホール内に埋め込み、W プラグを形成する方法である。

【0004】 まず、図 9 (a) に示すように、シリコン (Si) 基板 41 上にコバレットシリサイド 42 を形成し、その上に堆積された絶縁膜 43 にコンタクトホール 44 を形成する。その後、図 9 (b) に示すように、W 膜の密着層として、指向性スパッタ法によりチタン (Ti) 膜 45 を形成する。

【0005】 次に、図 9 (c) に示すように、テトラキスジメチルアミノチタン (TDMAT) を用いた CVD 法により TiN 膜 46 を 10 nm 堆積する。この場合、コンタクトホール 44 の下部側壁に約 6 nm 堆積する。また、TDMAT の熱分解で TiN 膜 46 の成膜を行うので、TiN 膜 46 には炭素 (C) が含まれている。従ってその後、図 9 (d) に示すように、TiN 膜 46 の表面を、真空中で連続的に水素ガス (H₂) および窒素ガス (N₂) によるプラズマ 47 に暴露する。この時、プラズマに暴露されることにより、TiN 膜 46 の膜中より炭素が除去されて TiN 膜 48 になる。

【0006】 次に、図 9 (e) に示すように、Si 基板 41 を成膜装置より取り出した後 (大気に暴露)、650℃で 30 秒程度の熱処理を加える。その後、図 9

(f) に示すように、上述の TiN 膜 46 / Ti 膜 45 で構成された密着層の上に、W-CVD 成長により W 膜を形成する。それにより、コンタクトホール 44 内に W 膜 413 の埋め込みを行い、図 9 (g) に示すように、W プラグを形成する。

【0007】以上のように、MO-CVD法を用いてTiN膜46をコンタクトホール44に堆積した場合、CVD法の特徴であるコンフォーマルな成膜特性により、スパッタ法以上のボトムカバレージを有し、TiN膜46本来の機能として優れたバリア性を示す。

【0008】上述のW-CVD成長において、初期核の形成過程は重要であり、初期核の形成が出来ない場合、その後の成長過程(H₂による還元)においてWは成長せず、結果としてコンタクトホール44内にWを埋め込むことが出来ず、コンタクト電極の接続不良につながる。従来のW-CVD成長では、TiN膜46/Ti膜45の密着層を形成後、Si基板41がW-CVD装置内に入ると即座に、Si基板はアルゴン(Ar)を主としたキャリアガスの雰囲気中で、数 Torr から数十 Torr の条件下で加熱される。その後、初期核の形成を補助することを目的として、図9(f)に示すように、モノシラン(SiH₄)410に暴露(30 s c c mで15秒)された後に、六弗化タングステン(WF₆)49とSiH₄410を同時にチャンバ内に導入(SiH₄還元)して、Wの初期核411の形成を目的として50 nm成膜する。この時のWF₆とSiH₄の流量は、それぞれ30 s c c mと15 s c c mである。その後、図9(g)に示すように、WF₆49とH₂412による(H₂還元)メインステップの成長により、コンタクトホール44をW膜413で埋め込む。

【0009】

【発明が解決しようとする課題】しかしながら、従来の半導体装置の製造方法では、コンタクトホール44が深くなり、且つ開口径が小さくなると、Wプラグの形成時にW膜413が埋まらないという問題が発生した。即ち、有機金属材料としてTDMATを用いた場合、上述のように、TDMATの熱分解でTiN膜46の成膜を行うので、膜中には炭素が含まれ、それ以外にも未分解のTDMATの成分としてのアンモニア(NH₃)と大気に晒されることにより水分(H₂O)が膜中に取り込まれている。

【0010】その後、TiN膜48上にW-CVD成長を行うと、後述するように、コンタクトホール44内でTiN膜48に含まれた水分の脱ガスが生じるために、Wの初期核411が形成されず、したがって、コンタクトホール44の下部にW膜が成長しないという埋め込み不良が発生する。

【0011】このことについて、実験結果を基に説明する。図10および図11は、従来例におけるCVD-TiN膜からの脱ガス量(TDS分析)の評価結果を示している。

【0012】図10は、TiN膜堆積後のプラズマ暴露の影響について調べたものである。上段のグラフはas depositedのTiN膜の場合、下段はTiN成膜後、水洗及びN₂雰囲気による熱処理を行った場合について示す。図

10の上段に示される通り、プラズマ暴露を行うと、TiN膜からNH₃とH₂Oの脱ガス量はプラズマ暴露前と比較してそれぞれ約60%と約40%に低減するが、まだかなりの脱ガスが発生する。これにより、プラズマ暴露によりTiN膜の改質が行われ、TiN成膜後に膜中に取り込まれる水分の量は減少するものの、それでも相当量の水分が膜から放出されることが判る。

【0013】図11は、プラズマ処理の影響が及ばないコンタクトホール下部側壁の影響について調べたものである。上段はプラズマ処理を行っていないTiN膜の場合、下段はプラズマ処理を行わず水洗処理を行ったTiN膜の場合を示す。図11の上段に示される通り、熱処理を加えると、TiN膜からのNH₃とH₂Oの脱ガス量は、熱処理前と比較してそれぞれ約20%と約80%に低減するが、まだかなりの脱ガスが発生する。これは、熱処理によりTiN膜の表面に吸着している水分(300℃以下で発生)に関しては低減するが、膜中に含まれる水分(400℃程度で発生)に関しては殆ど低減しないためと考えられる。

【0014】更に、この膜に水洗処理を施した場合、水洗することがTiNの膜中に水分が取り込まれる原因となるかどうかを調べたが、図11の下段から分かる通り、水洗の有無にかかわらず、TDSにより脱水が確認されており、大気に曝露することが支配的であることが判る。

【0015】したがって、このような状態のTiN膜を密着層として用いると、特に開口径が0.35 μm以下で、且つ深さが1.0 μm以上になるコンタクトホールの場合、W-CVD成長時の初期核の形成過程において、材料ガスであるWF₆とSiH₄が、Wの成膜中にSi基板が加熱されることにより(基板温度は約430℃)コンタクトホール底部のTiN膜から発生した水分の脱ガスにより妨げられて、コンタクトホール内部へ拡散されず、正常な初期核の形成を行うことが出来ない。従って、下地としての初期核が正常に成長しない部分にはWが成長せず、図9(g)に示すような埋め込み不良が発生した。

【0016】本発明は、上記の課題を鑑みてなされたものであって、有機金属材料を原料としたCVD法により形成したTiN膜を密着層として用いた場合における、W-CVD成長による埋め込み特性の向上を図り、電気的かつ形状的にも安定したWプラグの形成方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明に係る第1の半導体装置の製造方法は、シリコン基板上の所定領域に二珪化コバルト層を形成する工程(a)と、シリコン基板上に絶縁膜を堆積する工程(b)と、絶縁膜に二珪化コバルト層に達するコンタクトホールを形成する工程(c)と、スパッタ法によりコンタクトホール内を被覆するチ

10

20

30

40

50

タン膜を堆積する工程 (d) と、化学的気相成長法により有機チタン材料を用いてチタン膜上に C (炭素) を含んだ窒化チタン膜を堆積する工程 (e) と、窒化チタン膜の表面を水素および窒素のプラズマに暴露して、窒化チタン膜に含まれる少なくとも C (炭素) を窒化チタン膜から除去する工程 (f) と、工程 (f) の後に、化学的気相成長法により六弗化タングステンとモノシランを用いて窒化チタン膜上にタングステン膜を堆積する工程 (g) とを備える。上記の目的を達成するために、工程 (e) で 1 回に堆積する前記窒化チタン膜の膜厚を、大気開放後、膜中に取り込まれる空気中の水分の絶対量が少なくなる厚さ以下に設定し、工程 (e) から工程 (f) の工程サイクルを複数回行って、所望とする膜厚の窒化チタン膜を形成することを特徴とする。

【0018】この構成によれば、TDMAT の熱分解により堆積した TiN 膜を密着層に用いても、W-CVD 成長に際して脱ガスの発生が抑制され、電気的かつ形状的にも安定した W プラグを形成することが出来る。

【0019】上記の半導体装置の製造方法において、コンタクトホール下部側壁における窒化チタン膜の膜厚を、約 3~4 nm の範囲とすることが好ましい。また、その場合、シリコン基板の表面に堆積する窒化チタン膜の膜厚を、1 サイクル当たり 5 nm 以下とし、2 サイクルの合計で 5~7 nm の範囲とすることが好ましい。

【0020】本発明に係る第 2 の半導体装置の製造方法は、第 1 の方法における工程 (a) ~ 工程 (g) と同様の工程を備え、工程 (g) では、六弗化タングステンをモノシランよりも先にシリコン基板の表面に供給して、窒化チタン膜上にタングステンの初期核を密に形成した後に、モノシランもシリコン基板の表面に供給して、さらに窒化チタン膜上にタングステン膜を堆積することを特徴とする。

【0021】本発明に係る第 3 の半導体装置の製造方法は、第 1 の方法における工程 (a) ~ 工程 (g) と同様の工程を備え、工程 (g) では、シリコン基板の表面に供給される、モノシランに対する六弗化タングステンの流量比率を 1.2~1.8 に設定して、窒化チタン膜上にタングステンの初期核を密に形成した後に、さらに窒化チタン膜上にタングステン膜を堆積することを特徴とする。

【0022】上記いずれかの製造方法において、工程 (e) および工程 (f) を同一のチャンバ内で連続して行い、工程 (d)、工程 (e)、工程 (f) および工程 (g) を真空中で連続して行うことが好ましい。

【0023】本発明に係る第 4 の半導体装置の製造方法は、シリコン基板上の所定領域に二珪化コバルト層を形成する工程 (a) と、シリコン基板上に絶縁膜を堆積する工程 (b) と、絶縁膜に二珪化コバルト層に達するコンタクトホールを形成する工程 (c) と、スパッタ法によりコンタクトホール内を被覆するチタン膜を堆積する

工程 (d) と、化学的気相成長法により有機チタン材料を用いてチタン膜上に C (炭素) を含んだ窒化チタン膜を堆積する工程 (e) と、化学的気相成長法により六弗化タングステンとモノシランを用いて窒化チタン膜上にタングステン膜を堆積する工程 (f) とを備える。工程 (f) では、六弗化タングステンとモノシランをシリコン基板の表面に供給する前に、タングステン膜を堆積するチャンバ内でシリコン基板を真空中で加熱して、窒化チタン膜に含まれる少なくとも水分を外部に放出することを特徴とする。

【0024】この構成によれば、TDMAT の熱分解により堆積した TiN 膜を密着層に用いても、W-CVD 成長による埋め込み特性の向上を図り、電気的かつ形状的にも安定した W プラグを形成することが出来る。

【0025】この半導体装置の製造方法において、工程 (d)、工程 (e) および工程 (f) を真空中で連続して行うことが好ましい。

【0026】また、以上のいずれかの半導体装置の製造方法において、有機チタン材料はテトラキスジメチルアミノチタンであることが好ましい。

【0027】次に、本発明に係る半導体装置の製造装置は、スパッタ法によりチタン膜を堆積する第 1 の成膜室と、化学的気相成長法により C (炭素) を含んだ窒化チタン膜を堆積し、且つ窒化チタン膜に含まれる少なくとも C (炭素) を除去する第 2 の成膜室と、窒化チタン膜を形成した半導体基板を真空中で熱処理する熱処理室と、化学的気相成長法によりタングステン膜を堆積する第 3 の成膜室と、第 1 の成膜室、第 2 の成膜室、熱処理室および第 3 の成膜室の間を接続する真空搬送室とを備えたことを特徴とする。

【0028】この構成によると、TDMAT の熱分解により堆積した TiN 膜を大気に曝すことなく膜中に含まれる水分を除去できるので、W-CVD 成長による埋め込み特性の向上を図り、電気的かつ形状的にも安定した W プラグを形成することが出来る。

【0029】上記の半導体装置の製造装置において好ましくは、第 1 の成膜室は、第 1 の真空チャンバと、第 1 の真空チャンバ内に設けたチタンターゲットと、第 1 の真空チャンバ内に設けた基板ホルダーと、第 1 の真空チャンバに設けた第 1 の排気口と、第 1 の真空チャンバに設けたアルゴン用の第 1 のガス導入口と、第 1 の真空チャンバ内に設けたプラズマ放電用の第 1 の電極と、第 1 の電極に接続する第 1 の高周波電源とを有する。また第 2 の成膜室は、第 2 の真空チャンバと、第 2 の真空チャンバ内に設けた第 1 のサセプタと、第 1 のサセプタ内に設けた第 1 の加熱機構と、第 1 の加熱機構に接続する第 1 の電源と、第 2 の真空チャンバに設けた第 2 の排気口と、第 2 の真空チャンバに付属するガス供給システムに設けた有機チタン材料、水素および窒素用の第 2 のガス導入口と、第 2 の真空チャンバ内に設けたプラズマ放電

10

20

30

40

50

用の第2の電極と、第2の電極に接続する第2の高周波電源とを有する。また、第3の成膜室は、第3の真空チャンバと、第3の真空チャンバ内に設けた第2のサセプタと、第2のサセプタ内に設けた第2の加熱機構と、第2の加熱機構に接続する第2の電源と、第3の真空チャンバに設けた第3の排気口と、第3の真空チャンバに設けた六弗化タングステンおよびモノシラン用の第3のガス導入口とを有する。また、熱処理室は、第4の真空チャンバと、第4の真空チャンバ内に設けた基板ホルダーと、第4の真空チャンバ内に設けた基板加熱用のランプと、ランプに接続する第3の電源と、第4の真空チャンバに設けた第4の排気口と、第4の真空チャンバに設けた窒素用の第4のガス導入口とを有する。また、真空搬送室は、第5の真空チャンバと、第5の真空チャンバ内に設けた基板ホルダーと、第5の真空チャンバに設けた第5の排気口と、第5の真空チャンバに設けた窒素用の第5のガス導入口と、第5の真空チャンバに接続するロードロック室とを有する。

【0030】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態における半導体装置の製造方法について、図1を参照しながら説明する。

【0031】まず、図1(a)に示すように、トランジスタなどの集積回路素子（図示せず）が形成されたSi基板11を用意し、コンタクト形成部にコバルトシリサイド層12を形成する。Si基板11上に絶縁膜13を1.4 μ m堆積する。この絶縁膜13は、二酸化ケイ素(SiO₂)、或いはホウ素及びリン添加二酸化珪素からなる。その後、リソグラフィ法およびドライエッチング法を適用することにより、絶縁膜13に開口径0.35 μ m以下のコンタクトホール14を形成する。次に、図1(b)に示すように、真空中で連続的にアルゴン(Ar)やH₂を用いるエッチング法によりコンタクトホール14底部の清浄化を行った後、指向性のスパッタ法を用いてTi膜15を20nm堆積する。

【0032】次いで、図1(c)に示すように、CVD法によりTDMATを原料として用いて、TiN膜16を6nm形成する。この場合、コンタクトホール14の下部側壁には約3.5nm堆積する。また、前述のように、TDMATの熱分解によりTiN膜16を成膜するので、この膜中には炭素とアンモニアが含まれている。その後、図1(d)に示すように、TiN膜16をH₂及びN₂によるプラズマ17に暴露して、膜中より炭素とアンモニアを除去してTiN膜18に改質する。この場合、TiN膜18は1サイクルあたり3nm堆積し、2サイクル繰り返すことにより合計で6nm形成した。この後、大気に暴露されることにより、コンタクトホール下部側壁のプラズマに暴露されていない部分において、大気中のH₂Oが膜中に取り込まれる。

【0033】次に、Si基板11を大気中に取り出し、

スクラバ洗浄等にて表面のパーティクル等を除去する。その後、図1(e)に示すように、N₂雰囲気中において650℃で30秒の熱処理を行った後、Si基板11を再度大気中に取り出す。

【0034】次いで、図1(f)～(g)に示すように、W-CVD成長を行い、コンタクトホール14にW膜を埋め込む。このW-CVD成長の形成条件について詳しく説明する。まずSi基板11を450℃のヒーター上で加熱し、チャンバ内の雰囲気気を30 Torrに維持する。その際、キャリアガスとしてArやH₂を用いる。その後、このチャンバ内にW-CVD成長の初期の成長核（以下、初期核と記す）を形成するために、WF₆19を先行して導入し、その1.5秒後にSiH₄110を導入する。この時、WF₆の流量は40 sccm、SiH₄の流量は27 sccmである。このWF₆19とSiH₄110の反応（SiH₄還元）により初期核111を下地として50nm堆積する。その後、WF₆19とH₂112の反応（H₂還元）によりW膜113を200nm堆積することにより、コンタクトホール14をW膜113で埋め込みWプラグを形成する。

【0035】Ti膜15を堆積する工程からW膜113を堆積する工程までは、真空中で連続して行うことが好ましい。これは、W膜113を堆積する前にTiN膜16を大気に曝すと、大気中に含まれる水分が膜中に取り込まれて、TiN膜16に含まれる水分量が増加してしまうからである。

【0036】上述した第1の実施形態の製造方法によれば、従来例で問題となったWプラグの埋め込み不良は、以下に示す3つの条件により改善される。

【0037】まず第1の条件である、MO-CVD法によるTiN膜の薄膜化について説明する。従来例では、TiN膜を10nm堆積（装置メーカーの標準レシピを使用）している。これに対して本発明においては、Si基板の表面に堆積するTiN膜の厚さを1サイクル当たり5nm以下に設定して、2サイクルの合計で5～7nmの範囲とする。この点について、データに基づいて説明を行う。なお、この場合のコンタクトホールの下部側壁でのTiN膜厚は、約3～4nmの範囲となる。

【0038】図3に、TiN膜の厚さとプラズマ処理を施さないTiN膜からの脱ガス量（H₂O）についてのデータを示す。この図から分かるように、TiN膜の厚さと脱ガス量については単調増加の関係があり、TiN膜厚が増加すると、脱ガス量が増え、Wの埋め込み特性が悪化するものと予想される。また、1サイクル当たりの堆積膜厚を3nm以下に設定すると、大気に晒された場合においても膜厚が薄いことにより、比較的膜中に取り込まれる水分量は低減される。その結果、W-CVD成長するためにSi基板が加熱されても、改質されたTiN膜18から脱ガスが発生することはない。

【0039】次に、TiN膜18の膜厚を種々変更し、

形成されてWプラグを用いてSi基板上にコンタクトチェーンを形成し、電気特性を測定した。その結果、図4に示すように、TiN膜厚が3~4nmの範囲でコンタクト抵抗値の最適値を得た。この理由は次のとおりである。TiN膜の厚さが4nmを超えると前述の通り、TiN膜からの脱ガス(H₂O)が増え、埋め込み特性が劣化し、Wプラグの抵抗が上昇することにより、電気特性が悪化したものと考えられる。また、逆に3nm以下になると、TiN膜の機能としての、W-CVD成長時の材料ガスであるWF₆による基板へのアタックを防御するバリア性が低下し、その影響が電気特性に現れたものと考えられる。

【0040】次に、第2の条件である、W-CVD法における初期核の形成過程での材料ガスの導入方法について説明する。従来例では、初期核の形成時に材料ガスである、WF₆とSiH₄を同時にチャンバ内へ導入していたが、本発明においては、WF₆を先にチャンバ内へ導入する。この点について、データに基づいて説明を行う。

【0041】図5に、SiH₄に対するWF₆の導入タイミングを変化させた場合における、導入タイミングの変化量(秒)に対する、W-CVD成長によるコンタクトホール底部における初期核の成長状態でのボトムカバレッジを示す。

【0042】この図から分かるように、WF₆を1秒以上速くチャンバ内へ導入した場合には初期核の密度が高くなり、初期核のボトムカバレッジは向上する。しかしながら、1秒未満の場合は初期核の密度が低いいため、初期核のボトムカバレッジは悪化する。従って、後のメインステップにおけるW成長において、埋め込み不良に陥る可能性が十分に考えられる。この理由として、コンタクトホール内におけるWF₆とSiH₄の拡散速度が関係しているものと思われる。即ち、コンタクトホール内において、比較的分子の大きいWF₆は、拡散速度がSiH₄と比較して遅い。同時に導入した場合、SiH₄のみが先にコンタクトホール底部に到達するので、初期核の形成を阻害して初期核の密度を低下させるものと思われる。

【0043】次に、第3の条件である、W-CVD法における初期核の形成過程での材料ガスの導入量について説明する。従来例では、W-CVD成長の初期核の形成時に、材料ガスであるWF₆とSiH₄の流量をそれぞれ30~40sccmと10~15sccmでチャンバ内へ導入していたが、本発明においては、WF₆とSiH₄の流量をそれぞれ36~44sccmと24~30sccmの範囲とする。即ち、チャンバへの導入するWF₆/SiH₄の比率を調整して1.2~1.8とし、更にSiH₄の流量を20sccm以上とする。この点についても同様に、データに基づき説明を行う。

【0044】図6および図7に、チャンバへ導入するS

iH₄とWF₆の流量を変化させた場合の、コンタクトホールにおける初期核の形成状態でのボトムカバレッジを示す。これらの図から分かるように、WF₆/SiH₄の比率が40sccm/30sccmの場合に最も初期核の形成状態が良い。さらに、この比率のマーヅンについて確認を行ったところ、WF₆/SiH₄の比率が(36~44sccm)/(24~30sccm)の範囲内で十分なボトムカバレッジが得られることを確認できた。

【0045】これに対して、この比率よりWF₆を多く導入した場合、WF₆がSi基板をアタックして電気特性が悪化することが十分に予想される。また、この比率よりSiH₄を多く導入した場合、過剰なSiH₄の存在により、チャンバ内に導入された後、Si基板に到達する前に、WF₆とSiH₄が気相中で反応し、パーティクルを生成しプロセスに悪影響を及ぼす。

【0046】上述したように、これらの条件は単独でも十分な効果があるが、3つを組み合わせると最も効果が高く、W-CVD成長においてW膜113は高い埋め込み特性を得ることが出来る。

【0047】(第2の実施形態) 次に、本発明の第2の実施形態における半導体装置の製造方法について、図2を参照しながら説明する。

【0048】まず、図2(a)に示すように、トランジスタなどの集積回路素子(図示せず)が形成されたSi基板21を用意し、コンタクト形成部にコパシトシラソイド層22を形成する。Si基板21上に絶縁膜23を1.4μm堆積する。この絶縁膜23は、例えば、二酸化ケイ素(SiO₂)、或いはホウ素及びリン添加二酸化珪素により形成する。その後、リソグラフィ法およびドライエッチング法を適用することにより、絶縁膜23に開口径0.35μm以下のコンタクトホール24を形成する。

【0049】次いで、真空中で連続的にArやH₂を用いるエッチング法によりコンタクトホール底部の清浄化を行った後、指向性のスパッタ法を用いてTi膜25aを20nm堆積する。次に、CVD法によりTDMATを原料として用いてTiN膜25bを6nm堆積して、密着層(TiN/Ti)25を形成する。Ti膜25aの堆積方法は、第1の実施形態と同様である。また、前述のように、TDMATの熱分解によりTiN膜25bを成膜するので、この膜中には少なくとも水分が含まれている。

【0050】次いで、Si基板21を大気中に取り出し、スクラバ洗浄等にて表面のパーティクル等を除去する。その後、Si基板21に、N₂雰囲気中において650℃で30秒の熱処理を施した後、Si基板21を再度大気中に取り出す。

【0051】次に、図2(b)~(d)に示すように、W-CVD成長を行い、コンタクトホール24をW膜29で埋め込む。このW-CVD成長の形成条件について

詳しく説明する。

【0052】まず、図2(b)に示すように、W-CVD成長を行う前に、Si基板21をチャンバ内に搬入した後に、450℃のヒーター上で加熱し、チャンバ内の真空度を90 Torrに維持する。この工程では、キャリアガスとしてArやH₂を用いる。この時、Si基板21の温度は約440℃に上昇する。その後、チャンバ内の真空引きを5分間行う。この時のチャンバ内の圧力は、約4m Torrである。

【0053】次いで、図2(c)に示すように、W-CVD成長の初期核27を形成するために、チャンバ内にWF₆26aおよびSiH₄26bを同時に導入する。この時、WF₆26aの流量は40 sccm、SiH₄26bの流量は10 sccmである。このWF₆26aとSiH₄26bの反応(SiH₄還元)により、初期核27を下地として50nm堆積する。

【0054】その後、図2(d)に示すように、WF₆28aとH₂28bの反応(H₂還元)により、W膜29を200nm堆積する。それにより、コンタクトホール24をW膜29で埋め込み、Wプラグを形成する。

【0055】上述した第2の実施形態の製造方法によれば、W-CVD成長を行うチャンバ内で予めSi基板21を450℃に加熱して5分間真空保持するので、少なくともTiN膜25bに含まれる水分は蒸発する。したがって、W-CVD成長するためにSi基板21が加熱されても、改質されたTiN膜25bから水分の脱ガスが発生することはない。このことから、W-CVD成長でのコンタクトホール底部の初期核の形成過程において、WF₆26aおよびSiH₄26bを同時に導入しても初期核27の密度は高いので、W膜29は高い埋め込み特性を得ることが出来る。

【0056】なお、密着層25を構成するTi膜25aを堆積する工程からW膜29を堆積する工程までは、真空中で連続して行うことが好ましい。これは、W膜29を堆積する前に密着層25を構成するTiN膜25bを大気に曝すと、大気中に含まれる水分が膜表面に吸着して、TiN膜25bに含まれる水分量が増加してしまうからである。

【0057】(第3の実施形態) 次に、本発明の第3の実施の形態における半導体装置の製造装置について、図8を参照しながら説明する。

【0058】図8において、32は真空搬送室であり、その周囲に順次、第1の成膜室33、第2の成膜室34、熱処理室35、および第3の成膜室36が配置されている。

【0059】真空搬送室32は、真空チャンバと、真空チャンバ内に設けた基板ホルダーと、真空チャンバに設けた排気口、およびN₂のガス導入口とを備える。更に、真空チャンバに接続されるロードロック室(搬入側)31、およびロードロック室(搬出側)37を備え

る。

【0060】第1の成膜室33は、コンタクトメタルであるTi膜を堆積する機能を持つ。そのために第1の成膜室33は、図示しないが、真空チャンバと、真空チャンバ内に設けたTiターゲット、基板ホルダー、およびプラズマ放電用の電極と、真空チャンバに設けた排気口、およびArのガス導入口と、電極に接続する高周波電源とを備える。

【0061】第2の成膜室34は、TDMATの熱分解を用いたMO-CVD法により、TiN膜を成膜する機能を持つ。そのために第2の成膜室34は、真空チャンバと、真空チャンバ内に設けたサセプタと、サセプタ内に設けた加熱用のヒーターと、ヒーターに接続された電源と、真空チャンバに設けた排気口、およびTDMAT、H₂ならびにN₂のガス導入口と、真空チャンバ内に設けたプラズマ放電用の電極と、電極に接続される高周波電源とを備える。

【0062】熱処理室35は、特定のガス雰囲気中でSi基板を加熱する機能を持つ。そのために熱処理室35は、真空チャンバと、真空チャンバ内に設けた基板ホルダー、および基板加熱用のランプと、ランプに接続された電源と、真空チャンバに設けた排気口、およびN₂のガス導入口とを備える。

【0063】第3の成膜室36は、W-CVD法によりW膜を成膜する機能を持つ。そのために第3の成膜室は、真空チャンバと、真空チャンバ内に設けたサセプタと、サセプタ内に設けた加熱用のヒーターと、ヒーターに接続される電源と、真空チャンバに設けた排気口、およびWF₆ならびにSiH₄のガス導入口とを備える。

【0064】以下に、上記の製造装置を用いた半導体装置の製造工程について説明する。

【0065】まず、コンタクトホールを有するSi基板(図示せず)がロードロック室(搬入側)31にセットされ、真空引きされる。その後、Si基板は真空搬送室32を経由して、最初に第1の成膜室33に搬入され、Si基板上にTi膜が成膜される。この第1の成膜室33でのTi膜の成膜には、指向性のスパッタ法が用いられる。

【0066】次に、Si基板は真空搬送室32を経由して第2の成膜室34に搬入され、TDMATの熱分解を用いたMO-CVD法により、Si基板上に密着層としてTiN膜が成膜される。その後、同じチャンバ内で、上記TiN膜をH₂及びN₂によるプラズマに暴露して、膜中より炭素等を除去してTiN膜を改質する。

【0067】次に、Si基板は真空搬送室32を経由して、熱処理室35に搬入され、そこで、例えばN₂雰囲気中で加熱される。この時に、H₂OやNH₃等のガスが密着層のTiN膜から放出される。特に、前述の通り、コンタクトホールの下部側壁のH₂やN₂のプラズマ処理が施されない部分については、この加熱による効果が大

10

20

30

40

50

きい。

【0068】次に、上記Si基板は真空搬送室32を経由して、第3の成膜室36に搬入され、W-CVD法により、コンタクトホールはW膜によって埋め込まれる。その後、Si基板は真空搬送室32を経由して、ロードロック室（搬出側）37に搬入され、例えばN₂でパージされて大気圧に戻って、一連のコンタクト金属の成膜が完了する。

【0069】上記の製造装置によれば、Ti膜の成膜に始まってTiN膜の熱処理までが真空中で連続的に処置され、且つその後も真空中で連続的にW膜が成膜される。すなわち、TiN膜を大気に曝すことがないため、大気中に含まれる水分が膜中に取り込まれて脱ガスが発生することもないので、コンタクトホールの初期核の形成過程において、密度の高い初期核が障害なく形成される。特に、コンタクトホールの下部側壁においてその効果は絶大であり、ステップカバレッジの優れたW膜を、コンタクトホール内に高い埋め込み特性で形成することが出来る。

【0070】

【発明の効果】以上のように、本発明の半導体装置の製造方法およびその製造装置によれば、TDMA Tを用いたCVD法によって堆積したTiN膜を密着層に用いても、膜中に含まれる水分の量を抑制できるので、W-CVD成長による埋め込み特性の向上を図り、電気的かつ形状的にも安定したWプラグを形成することが出来る。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態における半導体装置の製造方法を示す工程断面図

【図2】 本発明の第2の実施形態における半導体装置の製造方法を示す工程断面図

【図3】 TiN膜厚と脱ガス量の関係を示す図

【図4】 TiN膜厚と電気特性の関係を示す図

【図5】 コンタクトホールにおける初期核の形成状態でのボトムカバレッジに関する、WF₆とSiH₄の導入タイミングに対する依存性を示す図

【図6】 コンタクトホールにおける初期核の形成状態でのボトムカバレッジに関する、SiH₄流量に対する

依存性を示す図

【図7】 コンタクトホールにおける初期核の形成状態でのボトムカバレッジに関する、WF₆流量に対する依存性を示す図

【図8】 本発明の第3の実施形態における半導体装置の製造装置を示す構成図

【図9】 従来のWプラグを形成する半導体装置の製造方法を示す工程断面図

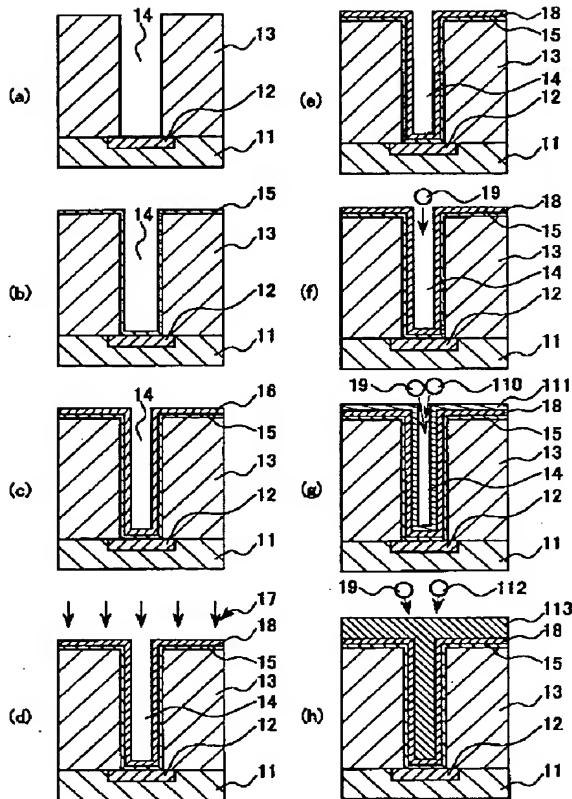
【図10】 プラズマ処理の有無によるTiN膜からの脱ガス量の変化を示す図

【図11】 熱処理の有無によるTiN膜からの脱ガス量の変化を示す図

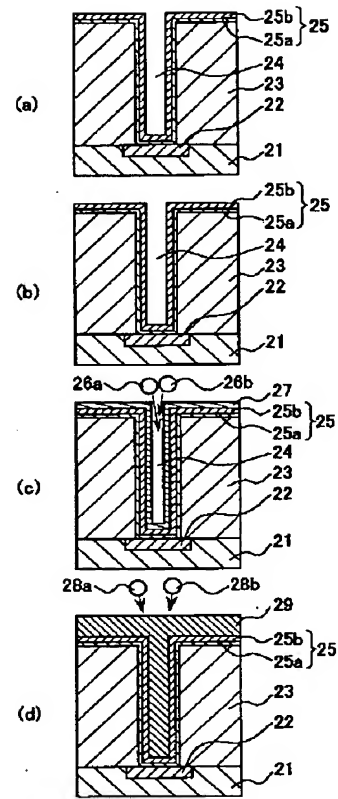
【符号の説明】

- 11、21、41 Si基板
- 12、22、42 コバルトシリサイド
- 13、23、43 絶縁膜
- 14、24、44 コンタクトホール
- 15、45 Ti膜
- 16、46 少なくとも水分を含むTiN膜
- 17、47 H₂およびN₂のプラズマ
- 18、48 改質されたTiN膜
- 19、49 WF₆
- 110、410 SiH₄
- 111、411 初期核
- 112、412 H₂
- 113、413 W膜
- 25 密着層 (TiN/Ti)
- 26 WF₆及びSiH₄
- 27 初期核
- 28 H₂
- 29 W膜
- 31 ロードロック室（搬入側）
- 32 真空搬送室
- 33 第1の成膜室
- 34 第2の成膜室
- 35 熱処理室
- 36 第3の成膜室
- 37 ロードロック室（搬出側）

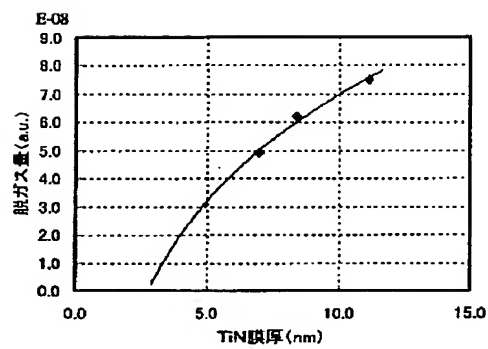
【図1】



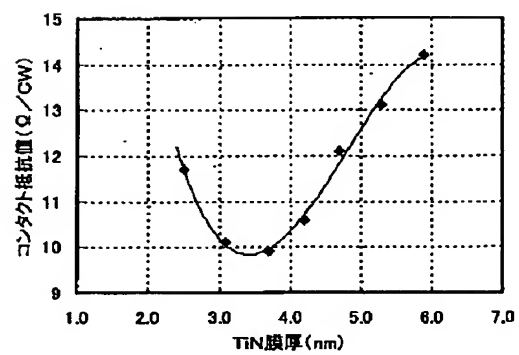
【図2】



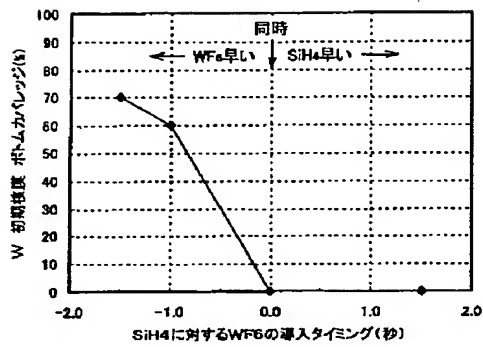
【図3】



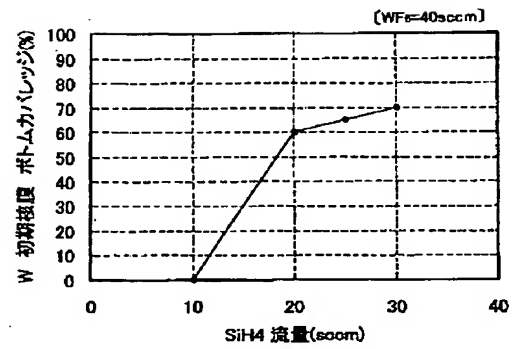
【図4】



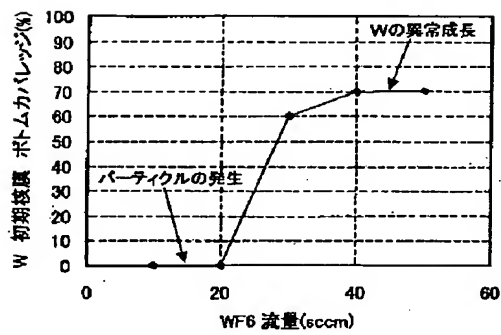
【図5】



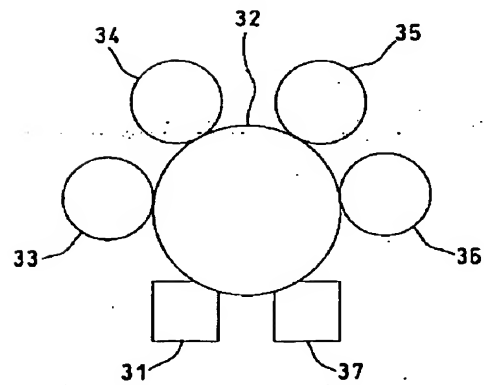
【図6】



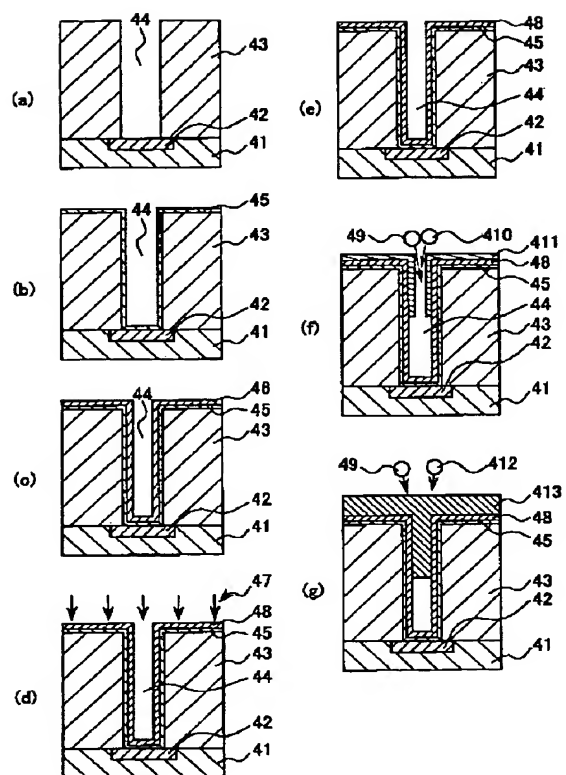
【図7】



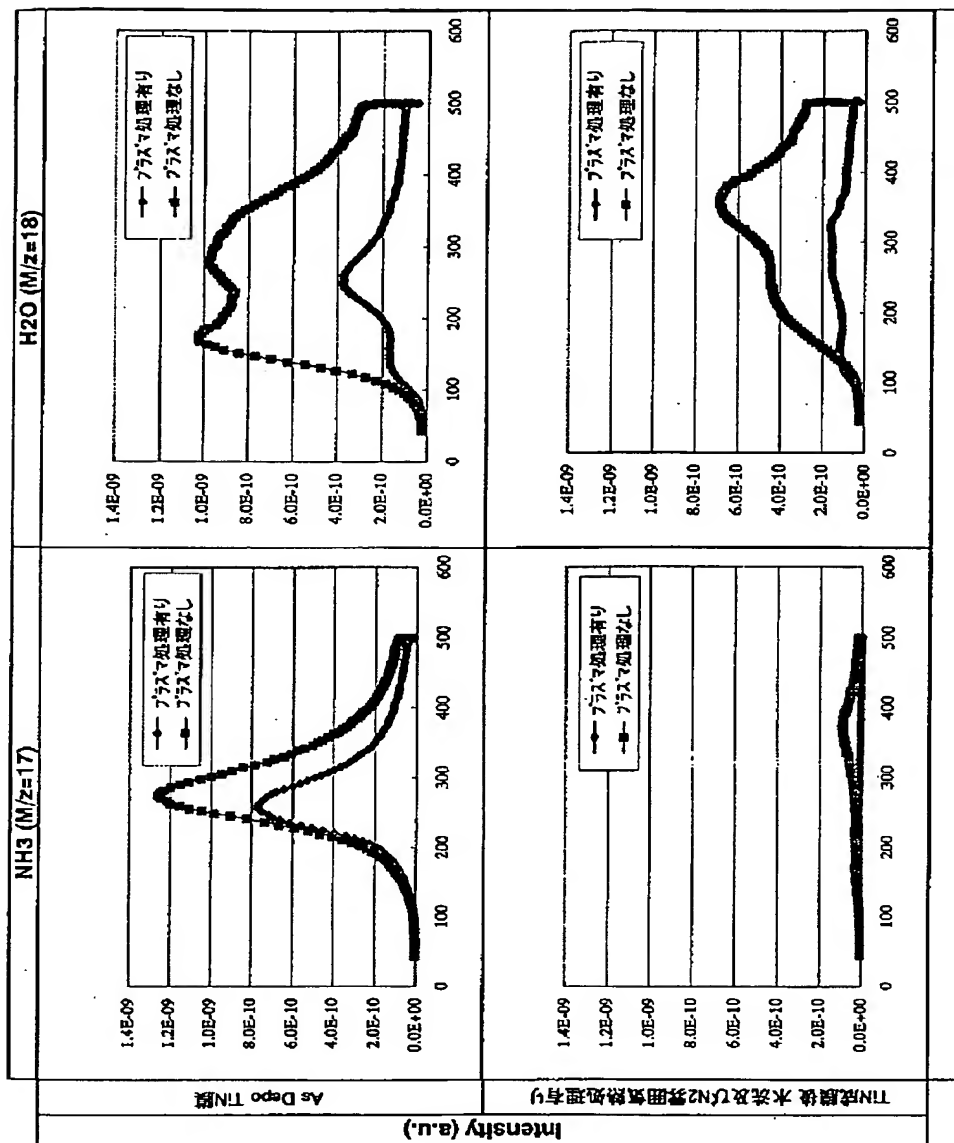
【図8】



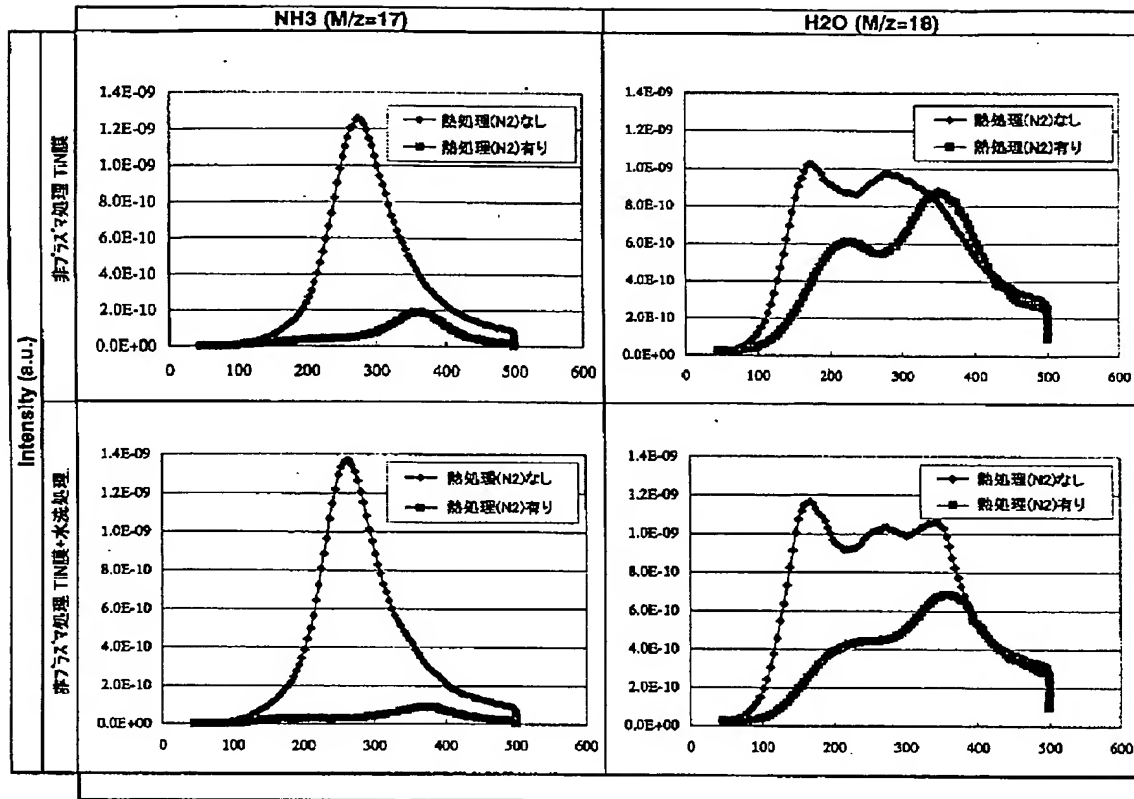
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 樋野村 徹
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 原田 剛志
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 4K030 AA04 AA06 AA11 AA16 AA17
BA18 BA20 BA38 BB12 CA04
DA01 FA10 HA01 JA01 KA49
LA15
4M104 AA01 BB14 BB20 CC01 DD08
DD16 DD19 DD22 DD37 DD43
DD44 DD45 FF22 HH15
5F033 JJ18 JJ19 JJ33 KK01 KK25
NN06 NN07 PP02 PP04 PP06
PP09 PP11 PP15 PP33 QQ09
QQ10 QQ11 QQ37 QQ92 RR04
RR15 WW02 XX02 XX09